

Fiche de TD N° 4 Architecture des Ordinateurs (AO)

Exercice 1

Soit un ordinateur à architecture bus système, composé d'un processeur travaillant à une fréquence de 1000 MHz et d'une mémoire centrale avec le nombre de lignes de données égale à 16 et le nombre de lignes d'adresse égale à 32.

- 1- Donner le taux de transfert (théorique) d'un bus de donnée d'un processeur.
- 2- Donner la taille (en Bits) de : RAM (Registre d'Adresse Mémoire), RDM (Registre de Données Mémoire), CO (Compteur Ordinal) et ACC (Accumulateur).
- 3- Donner la capacité de cette mémoire en Méga Octets.
- 4- Donner la plage d'adressage de cette mémoire (en hexadécimale/ base 16).
- 5- Si la taille du mot est égale à 32 bits, donner le nombre de mots adressables et la plus haute adresse possible.

Exercice 2

Soit une machine dotée d'une mémoire centrale de 1024 K mot de 32 bits.

- 1- Combien de bits, d'octets, de Kilo octets et de Méga octets contient cette mémoire
- 2- Combien de valeur différente peut prendre un mot de cette mémoire ?
- 3- Déterminer la plage d'adressage de cette mémoire (en hexadécimale/ base 16)
- 4- On veut stocker sur cette mémoire des nombres réels où chaque nombre est représenté sur 64 bits. Calculer l'adresse du 9ème nombre sachant que le premier est stocké à l'adresse FF(16)

Exercice 3

I/ Soit une machine munie d'une mémoire ayant les caractéristiques suivantes :

- L'adresse maximale en hexadécimal pouvant être prise par un mot mémoire est « FFFFFF »
- La capacité mémoire est de 256 Méga bits

1- Calculer la taille du bus d'adresse qui permet d'accéder à cette mémoire.

2- Calculer la taille d'un mot mémoire.

3- Proposer une architecture réduite pour cette mémoire

II/ Supposant d'on a augmenté la taille de cette mémoire et la mémoire est extensible jusqu'à 1 Giga bits.

1- Calculer le nombre total des mots mémoire après l'extension de cette mémoire.

2- Calculer le nombre de bits réservés à l'adressage (après extension)

Exercice 4

I/ Classez les mémoires suivantes par taille, par rapidité : CD-ROM, Registre d'Instruction, Cache L3. Disques durs, ROM, Cache L1, USB, Cache L2.

II/ Soit une mémoire cache de niveau L1 ayant les caractéristiques suivantes :

- 64 mots par ligne (mots de 4 octets)
- Taille de 512 Ko
- L1 et L2 sont inclusifs

- 4-associatifs

- Remplacement LFU

- Association par poids faible

- Taille de bus d'adresse : 64 bits

1. Combien y-a-t-il de lignes dans cette mémoire cache ?
2. Combien y-a-t-il de blocs associatifs dans cette mémoire cache ?
3. Si la mémoire cache de niveau L2 a une taille de 8 Mo, combien y-a-t-il de blocs de la mémoire cache L2 par bloc de la mémoire cache L1 ?
4. Si un bloc n'est pas présent en cache L1, combien de lignes de L1 aura-t-on parcouru ?

III/ A partir des performances du tableau ci-dessous calculer le temps d'exécution moyen d'une instruction pour chaque niveau sachant que durée d'un cycle horloge est T .

| Niveau | Temps d'accès succès (ns) | Taux de succès (%) | Pénalité d'échec (Cycles) | Taille |
|----------|---------------------------|--------------------|---------------------------|--------|
| Cache L1 | 3 | 80% | 5 | 256 Ko |
| Cache L2 | 5 | 90% | 10 | 512 Ko |

Exercice 5

I/ Soit un ordinateur à architecture bus système composé d'un processeur travaillant à une fréquence de 800 MHz et d'une mémoire centrale de 256 Méga mot mémoire de deux octets. Son registre d'instruction se compose de 16 bits.

1. Calculer la capacité maximale de la mémoire (en Octets).
2. Trouver la taille (en Bits) de : RAM (Registre d'Adresse Mémoire), RDM (Registre de Données Mémoire), CO (Compteur Ordinal) et ACC (Accumulateur).
3. Calculer le taux de transfert (théorique) d'un bus de donnée d'un processeur.

II/ Soit une mémoire cache à deux niveaux ayant les caractéristiques suivantes :

| Niveaux | Temps d'accès succès (ns) | Taux d'échec | Pénalité d'échec (Cycles) | Taille | Nombre de mots par ligne | Taille d'un mot |
|----------|---------------------------|--------------|---------------------------|--------|--------------------------|-----------------|
| Cache L1 | 2 | 20% | 5 | 128 Ko | 32 mots | 4 Octets |
| Cache L2 | 4 | 10% | 10 | 2 Mo | 32 mots | 4 Octets |

1. Calculer la taille d'une ligne ? Combien y-a-t-il de lignes dans cette mémoire cache (L1 et L2) ?
2. Combien y-a-t-il de blocs de la mémoire cache L2 par bloc de la mémoire cache L1 ?
3. Calculer le temps d'exécution moyen d'une instruction pour chaque niveau sachant que durée d'un cycle horloge est T .

Exercice 6

Un processeur à 2 Go de mémoire principale avec des mots de 1 octet. Pour les différents caches ci-dessous :

1. Cache de 2 Mo à correspondance directe et écriture simultanée avec des lignes de 16 octets
 2. Cache de 4 Mo à correspondance directe, réécriture et lignes de 32 octets
 3. Cache de 4 Mo associatif 4 voies (4 lignes par ensemble), réécriture et lignes de 32 octets
- a. Quelle est la décomposition d'une adresse mémoire ?
 - b. Donner les différentes parties d'une ligne (bloc) de cache (nombre de bits des différentes parties). Quel est le surcoût lié aux bits de contrôle et d'étiquette (par rapport à la partie « données » du cache)