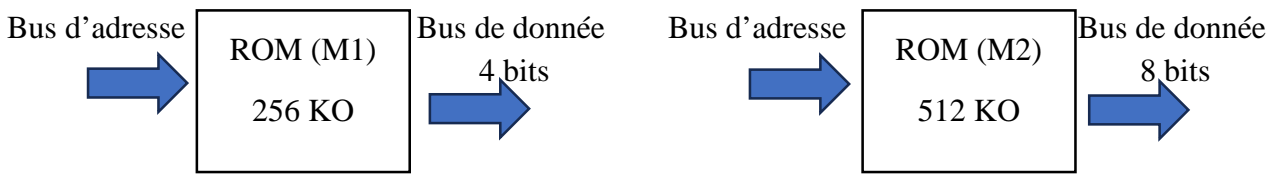


## Fiche de TD N° 4 Architecture des Ordinateurs (AO)

### Exercice 1

I\ Soit les deux mémoires de type ROM suivantes :



1. Combien peut-on former de mots de 4 bits avec la mémoire M1 ?
2. Combien peut-on former de mots de 8 bits avec la mémoire M2 ?
3. Quelle est la taille du bus d'adresse des deux types de ROM ?

II\

1. Pour construire une mémoire de 4 Ko mots de 8 bits, combien de boîtiers de 1 Ko mots de 8 bits doivent être utilisés
2. Pour construire une mémoire 8 Ko mots de 4 octets, combien de boîtiers de 1 Ko mots de 8 bits doivent être utilisés

III\ Classer les ordinateurs suivants par ordre de performance plus faible à la plus puissant

Ordinateur	CPU	RAM	Disque dur
O1	650 MHz	32 Mo	10 Go
O2	1 GHz	128 Mo	20 Go
O3	350 MHz	64 Mo	20 Go
O4	2 GHz	128 Mo	80 Go
O5	1 GHz	64 Mo	40 Go
O6	1 GHz	64 Mo	20 Go

### Exercice 2

I/ Classez les mémoires suivantes par taille, par rapidité : RAM, registres, disques durs, cache L1, cache L2, CD-ROM.

II/ Soit une mémoire cache de niveau L1 ayant les caractéristiques suivantes :

- 32 mots par lignes (mots de 2 octets)
  - Taille de 32ko - L1 et L2 sont inclusifs
  - 4-associatifs. Remplacement LRU.
  - Association par poids faible
  - Taille de bus d'adresse : 32bits
1. Combien y a-t-il de lignes dans cette mémoire cache ?
  2. Combien y-a-t-il de blocs associatifs dans cette mémoire cache ?
  3. Si la mémoire cache de niveau L2 a une taille de 2 Mo, combien y a-t-il de blocs de la mémoire cache L2 par bloc de la mémoire cache L1 ?
  4. Si un bloc n'est pas présent en cache L1, combien de lignes de L1 aura-t-on parcouru ?

### Exercice 3

I/ Classez les mémoires suivantes par taille, par rapidité : CD-ROM, Registre d'Instruction, Cache L3. Disques durs, ROM, Cache L1, USB, Cache L2.

II/ Soit une mémoire cache de niveau L1 ayant les caractéristiques suivantes :

- 64 mots par ligne (mots de 4 octets)
  - Taille de 512 Ko
  - L1 et L2 sont inclusifs
  - 4-associatifs
  - Remplacement LFU
  - Association par poids faible
  - Taille de bus d'adresse : 64 bits
1. Combien y-a-t-il de lignes dans cette mémoire cache ?
  2. Combien y-a-t-il de blocs associatifs dans cette mémoire cache ?
  3. Si la mémoire cache de niveau L2 a une taille de 8 Mo, combien y-a-t-il de blocs de la mémoire cache L2 par bloc de la mémoire cache L1 ?
  4. Si un bloc n'est pas présent en cache L1, combien de lignes de L1 aura-t-on parcouru ?

III/ A partir des performances du tableau ci-dessous calculer le temps d'exécution moyen d'une instruction pour chaque niveau sachant que durée d'un cycle horloge est **T**.

Niveau	Temps d'accès succès (ns)	Taux de succès (ns)	Pénalité d'échec (Cycles)	Taille
Cache L1	<b>3</b>	<b>80%</b>	<b>5</b>	<b>256 Ko</b>
Cache L2	<b>5</b>	<b>90%</b>	<b>10</b>	<b>512 Ko</b>

### Exercice 4

I/ Soit un ordinateur à architecture bus système composé d'un processeur travaillant à une fréquence de 800 MHz et d'une mémoire centrale de 256 Méga mot mémoire de deux octets. Son registre d'instruction se compose de 16 bits.

1. Calculer la capacité maximale de la mémoire (en Octets).
2. Trouver la taille (en Bits) de : RAM (Registre d'Adresse Mémoire), RDM (Registre de Données Mémoire), CO (Compteur Ordinal) et ACC (Accumulateur).
3. Calculer le taux de transfert (théorique) d'un bus de donnée d'un processeur.

II/ Soit une mémoire cache à deux niveaux ayant les caractéristiques suivantes :

Niveaux	Temps d'accès succès (ns)	Taux d'échec	Pénalité d'échec (Cycles)	Taille	Nombre de mots par ligne	Taille d'un mot
Cache L1	<b>2</b>	<b>20%</b>	<b>5</b>	<b>128 Ko</b>	<b>32 mots</b>	<b>4 Octets</b>
Cache L2	<b>4</b>	<b>10%</b>	<b>10</b>	<b>2 Mo</b>	<b>32 mots</b>	<b>4 Octets</b>

1. Calculer la taille d'une ligne ? Combien y-a-t-il de lignes dans cette mémoire cache (L1 et L2) ?

2. Combien y-a-t-il de blocs de la mémoire cache L2 par bloc de la mémoire cache L1 ?
3. Calculer le temps d'exécution moyen d'une instruction pour chaque niveau sachant que durée d'un cycle horloge est T.

### Exercice 5

Un processeur à 2 Go de mémoire principale. Pour les différents caches ci-dessous :

1. Cache de 2 Mo à correspondance directe et écriture simultanée avec des blocs de 16 octets
  2. Cache de 4 Mo à correspondance directe, réécriture et blocs de 32 octets
  3. Cache de 4 Mo associatif 4 voies (4 blocs par ensemble), réécriture et blocs de 32 octets
- a. Quelle est la décomposition d'une adresse mémoire (nombre de bits des Différentes parties) ?
- b. Donner les différentes parties d'une ligne (bloc) de cache (nombre de bits des différentes parties). Quel est le surcoût lié aux bits de contrôle et d'étiquette (par rapport à la partie « données » du cache)