



Examen de Rattrapage – Architecture des ordinateurs

(Durée 1h)

Le 06 /12 / 2020

Remarques :

1. La partie QCM est à retourner avec la copie double sans oublier de mentionner le nom, le prénom, la section et le groupe.
2. L'utilisation de la calculatrice est interdite



Partie exercices (10 points)

Exercice 1 : (7 points)

- 1- Ecrire un programme qui calcule l'expression Z dans une machine possédant **un opérande (machine à une (1) adresses)** et dont le mode d'adressage est **direct**.
 $Z = (A+B) * (C+D) / (E+F)$ sachant que : [10]=A, [20]=B, [30]=C, [40]=D, [50]=E, [60]=F, [100]=Z.
- 2- En supposant que la machine est **à pile (machine à zéro (0) adresses)** et le mode d'adressage est **immédiat**, donner le code pour évaluer la même expression et ce en utilisant le minimum d'instruction possible.
- 3- Donnez l'expression de X effectuée par le programme suivant en mode **immédiat**. Sachant que
 1. LOAD A
 2. ADD B
 3. MPY C
 4. STORE 100
 5. LOAD B
 6. DIV A
 7. SUB C
 8. ADD 100
 9. STA X

Exercice 2 (3 points)

A partir des performances du tableau ci-dessous calculer le temps d'exécution moyen d'une instruction pour chaque niveau sachant que durée d'un cycle horloge est **T**.

Niveau	Temps d'accès succès (ns)	Taux succès	Pénalité d'échec (Cycles)	Taille
Cache L1	2	80%	5	64 Ko
Cache L2	4	90%	10	512 Ko

Bon courage

Nom : Prénom : Sec/Groupe :

Partie QCM (10 pts) : Choisir une ou plusieurs réponses pour chaque question :

1	Combien d'entiers positifs peut-on coder en binaire sur un octet ?	<input type="checkbox"/> 128	<input type="checkbox"/> 256	<input type="checkbox"/> 512	<input type="checkbox"/> 1024
2	Ce sont les éléments de mémoire les plus rapides. Ils sont situés au niveau du processeur et servent au stockage des opérandes et des résultats intermédiaires.	<input type="checkbox"/> Mémoires caches	<input type="checkbox"/> Mémoires secondaires	<input type="checkbox"/> Registres	<input type="checkbox"/> BIOS
3	Le temps minimal entre 2 accès mémoire s'appelle	<input type="checkbox"/> Cycle mémoire	<input type="checkbox"/> Temps d'accès	<input type="checkbox"/> Temps d'exécution	<input type="checkbox"/> Temps optimal
4	C'est une mémoire morte qui peut être programmée une seule fois par l'utilisateur. La programmation est réalisée par un programmeur spécifique.	<input type="checkbox"/> RAM	<input type="checkbox"/> SDRAM	<input type="checkbox"/> PROM	<input type="checkbox"/> DDRAM
5	La politique de remplacement lors d'un défaut de cache la plus facile à implémenter est	<input type="checkbox"/> LRU	<input type="checkbox"/> FIFO	<input type="checkbox"/> aléatoire	<input type="checkbox"/> LFU
6	Un aléa (problème) dans une architecture pipeline peut être	<input type="checkbox"/> structurel	<input type="checkbox"/> de données	<input type="checkbox"/> de contrôle	<input type="checkbox"/> de panne
7	Le compteur ordinal CO contient l'adresse de l'instruction	<input type="checkbox"/> précédente	<input type="checkbox"/> en cours	<input type="checkbox"/> à exécuter	<input type="checkbox"/> annulée
8	L'élément qui permet de synchroniser les différentes opérations élémentaires à effectuer pendant le déroulement d'une instruction s'appelle	<input type="checkbox"/> Le bus	<input type="checkbox"/> Le processeur	<input type="checkbox"/> Le registre	<input type="checkbox"/> L'horloge
9	L'ensemble de fils qui assure la transmission des informations entre les éléments de l'ordinateur s'appelle	<input type="checkbox"/> Le bus	<input type="checkbox"/> Le processeur	<input type="checkbox"/> Le registre	<input type="checkbox"/> L'horloge
10	Soit la donnée où l'instruction requise est présente dans le cache et elle est alors envoyée directement au microprocesseur. On parle de	<input type="checkbox"/> défaut de cache	<input type="checkbox"/> succès de cache	<input type="checkbox"/> pipeline de cache	<input type="checkbox"/> cycle de cache
11	la puissance de traitement du microprocesseur est représentée en	<input type="checkbox"/> PTM	<input type="checkbox"/> PUIS	<input type="checkbox"/> MIPS	<input type="checkbox"/> MIMS

Soit une machine avec un registre d'adresse mémoire (RAM) qui comporte 32 bits,

A- Cas où un mot = 8 bits

12	Le nombre de mots adressable	<input type="checkbox"/> 2^8	<input type="checkbox"/> 2^{16}	<input type="checkbox"/> 2^{32}	<input type="checkbox"/> 2^{64}
13	La capacité de la mémoire centrale	<input type="checkbox"/> 2^8 bits	<input type="checkbox"/> 2^{32} bits	<input type="checkbox"/> 2^{32} octets	<input type="checkbox"/> 2^{35} bits
14	La taille du registre CO	<input type="checkbox"/> 8 bits	<input type="checkbox"/> 8 octets	<input type="checkbox"/> 16 bits	<input type="checkbox"/> 32 bits
15	La taille du registre RI	<input type="checkbox"/> 8 bits	<input type="checkbox"/> 8 octets	<input type="checkbox"/> 16 bits	<input type="checkbox"/> 32 bits
16	La taille du registre ACC	<input type="checkbox"/> 8 bits	<input type="checkbox"/> 8 octets	<input type="checkbox"/> 16 bits	<input type="checkbox"/> 32 bits

B- Cas où un mot = 2 octets

17	La capacité de la mémoire centrale	<input type="checkbox"/> 2^{16} bits	<input type="checkbox"/> 2^{32} bits	<input type="checkbox"/> 2^{32} octets	<input type="checkbox"/> 2^{36} bits
18	La taille du registre CO	<input type="checkbox"/> 8 bits	<input type="checkbox"/> 8 octets	<input type="checkbox"/> 16 bits	<input type="checkbox"/> 32 bits
19	La taille du registre RI	<input type="checkbox"/> 8 bits	<input type="checkbox"/> 8 octets	<input type="checkbox"/> 16 bits	<input type="checkbox"/> 32 bits
20	La taille du registre ACC	<input type="checkbox"/> 8 bits	<input type="checkbox"/> 8 octets	<input type="checkbox"/> 16 bits	<input type="checkbox"/> 32 bits

Corrigé Examen de Rattrapage –Architecture des ordinateurs

Partie Exercices (10 pts)

Exercice 1 : (7 points)

1- Ecrire un programme qui calcule l'expression Z dans une machine possédant **un opérande (machine à une (1) adresses)** et dont le mode d'adressage est **direct**.

$Z = (A+B) * (C+D) / (E+F)$ sachant que : [10]=A, [20]=B, [30]=C, [40]=D, [50]=E, [60]=F, [100]=Z. (2 pts (9*0.25))

Utilisation de l'accumulateur	
LOAD 50;	$\Rightarrow [Acc] \leftarrow [50]=E$
ADD 60;	$\Rightarrow [Acc] \leftarrow [Acc]+[60]=E+F$
STORE 200	$\Rightarrow [200] \leftarrow [Acc]=E+F$
LOAD 10;	$\Rightarrow [Acc] \leftarrow [10]=A$
ADD 20;	$\Rightarrow [Acc] \leftarrow [Acc]+[20]=A+B$
STORE 300	$\Rightarrow [300] \leftarrow [Acc]=A+B$
LOAD 30;	$\Rightarrow [Acc] \leftarrow [30]=C$
ADD 40;	$\Rightarrow [Acc] \leftarrow [Acc]+[40]=C+D$
MPY 300	$\Rightarrow [Acc] \leftarrow [Acc] * [300]$ $= (C+D) * (A+B)$
DIV 200	$\Rightarrow [Acc] \leftarrow [Acc] / [200]$ $= (C+D) * (A+B) / (E+F)$
STA 100	$\Rightarrow [100] \leftarrow [Acc]$ $= (C+D) * (A+B) / (E+F)$

2- En supposant que la machine est **à zéro (0) adresses** et le mode d'adressage est **immédiat**, donner le code pour évaluer la même expression et ce en utilisant le minimum d'instruction possible. (3 pts (12*0.25))

Utilisation de la pile	
PUSH A;	Pile = {A}
PUSH B;	Pile = {A; B}
ADD ;	Pile = {A+ B}
PUSH C;	Pile = {(A+ B);C}
PUSH D;	Pile = {(A+ B);C;D}
ADD;	Pile = {(A+ B);(C+D)}
MPY;	Pile = {(A+ B)*(C+D)}
PUSH E;	Pile = {(A+ B)*(C+D);E}
PUSH F;	Pile = {(A+ B)*(C+D);E;F}
ADD	Pile = {(A+ B)*(C+D);E+F}
DIV	Pile = {(A+ B)*(C+D)/(E+F)}
STORE Z;	Pile = { }

3- Donnez l'expression de X effectuée par le programme suivant en mode **immédiat**. (2 pts (10*0.25))

1. LOAD A $\Rightarrow [Acc] \leftarrow A$
 2. ADD B $\Rightarrow [Acc] \leftarrow [Acc]+B=A+B$
 3. MPY C $\Rightarrow [Acc] \leftarrow [Acc]*C=(A+B)*C$
 4. STORE 100 $\Rightarrow [100] \leftarrow [Acc]=(A+B)*C$
 5. LOAD B $\Rightarrow [Acc] \leftarrow B$
 6. DIV A $\Rightarrow [Acc] \leftarrow [Acc]/[A]=B/A$
 7. SUB C $\Rightarrow [Acc] \leftarrow [Acc]-[C]=B/A-C$
 8. ADD 100 $\Rightarrow [Acc] \leftarrow [Acc]+[100]=(B/A-C)+(A+B)*C$
 9. STA X $\Rightarrow X \leftarrow [Acc]=(B/A-C)+(A+B)*C$
- Donc $X=(B/A-C)+(A+B)*C$

Exercice 2 (3 pts)

Temps d'accès mémoire moyen = Temps d'accès succès + Taux d'échec x Pénalité d'échec (0.5 pt)

Taux d'échec = 1 - taux de succès (0.5 pt)

Temps d'accès mémoire moyen Cache L1 = $2 + (1-80\%) \times 5 = 3T$ (1 pt)

Temps d'accès mémoire moyen Cache L2 = $4 + (1-90\%) \times 10 = 5T$ (1 pt)

Partie QCM (10 pts) : Choisir une ou plusieurs réponses pour chaque question :

1	Combien d'entiers positifs peut-on coder en binaire sur un octet ?	<input type="checkbox"/> 128	<input checked="" type="checkbox"/> 256	<input type="checkbox"/> 512	<input type="checkbox"/> 1024
2	Ce sont les éléments de mémoire les plus rapides. Ils sont situés au niveau du processeur et servent au stockage des opérandes et des résultats intermédiaires.	<input type="checkbox"/> Mémoires caches	<input type="checkbox"/> Mémoires secondaires	<input checked="" type="checkbox"/> Registres	<input type="checkbox"/> BIOS
3	Le temps minimal entre 2 accès mémoire s'appelle	<input checked="" type="checkbox"/> Cycle mémoire	<input type="checkbox"/> Temps d'accès	<input type="checkbox"/> Temps d'exécution	<input type="checkbox"/> Temps optimal
4	C'est une mémoire morte qui peut être programmée une seule fois par l'utilisateur. La programmation est réalisée par un programmeur spécifique.	<input type="checkbox"/> RAM	<input type="checkbox"/> SDRAM	<input checked="" type="checkbox"/> PROM	<input type="checkbox"/> DDRAM
5	La politique de remplacement lors d'un défaut de cache la plus facile à implémenter est	<input type="checkbox"/> LRU	<input checked="" type="checkbox"/> FIFO	<input checked="" type="checkbox"/> aléatoire	<input type="checkbox"/> LFU
6	Un aléa (problème) dans une architecture pipeline peut être	<input checked="" type="checkbox"/> structurel	<input checked="" type="checkbox"/> de données	<input checked="" type="checkbox"/> de contrôle	<input type="checkbox"/> de panne
7	Le compteur ordinal CO contient l'adresse de l'instruction	<input type="checkbox"/> précédente	<input type="checkbox"/> en cours	<input checked="" type="checkbox"/> à exécuter	<input type="checkbox"/> annulée
8	L'élément qui permet de synchroniser les différentes opérations élémentaires à effectuer pendant le déroulement d'une instruction s'appelle	<input type="checkbox"/> Le bus	<input type="checkbox"/> Le processeur	<input type="checkbox"/> Le registre	<input checked="" type="checkbox"/> L'horloge
9	L'ensemble de fils qui assure la transmission des informations entre les éléments de l'ordinateur s'appelle	<input checked="" type="checkbox"/> Le bus	<input type="checkbox"/> Le processeur	<input type="checkbox"/> Le registre	<input type="checkbox"/> L'horloge
10	Soit la donnée où l'instruction requise est présente dans le cache et elle est alors envoyée directement au microprocesseur. On parle de	<input type="checkbox"/> défaut de cache	<input checked="" type="checkbox"/> succès de cache	<input type="checkbox"/> pipeline de cache	<input type="checkbox"/> cycle de cache
11	la puissance de traitement du microprocesseur est représentée en	<input type="checkbox"/> PTM	<input type="checkbox"/> PUIS	<input checked="" type="checkbox"/> MIPS	<input type="checkbox"/> MIMS

Soit une machine avec un registre d'adresse mémoire (RAM) qui comporte 32 bits,

A- Cas où un mot = 8 bits

12	Le nombre de mots adressable	<input type="checkbox"/> 2 ⁸	<input type="checkbox"/> 2 ¹⁶	<input checked="" type="checkbox"/> 2 ³²	<input type="checkbox"/> 2 ⁶⁴
13	La capacité de la mémoire centrale	<input type="checkbox"/> 2 ⁸ bits	<input type="checkbox"/> 2 ³² bits	<input checked="" type="checkbox"/> 2 ³² octets	<input checked="" type="checkbox"/> 2 ³⁵ bits
14	La taille du registre CO	<input type="checkbox"/> 8 bits	<input type="checkbox"/> 8 octets	<input type="checkbox"/> 16 bits	<input checked="" type="checkbox"/> 32 bits
15	La taille du registre RI	<input checked="" type="checkbox"/> 8 bits	<input type="checkbox"/> 8 octets	<input type="checkbox"/> 16 bits	<input type="checkbox"/> 32 bits
16	La taille du registre ACC	<input checked="" type="checkbox"/> 8 bits	<input type="checkbox"/> 8 octets	<input type="checkbox"/> 16 bits	<input type="checkbox"/> 32 bits

B- Cas où un mot = 2 octets

17	La capacité de la mémoire centrale	<input type="checkbox"/> 2 ¹⁶ bits	<input type="checkbox"/> 2 ³² bits	<input type="checkbox"/> 2 ³² octets	<input checked="" type="checkbox"/> 2 ³⁶ bits
18	La taille du registre CO	<input type="checkbox"/> 8 bits	<input type="checkbox"/> 8 octets	<input type="checkbox"/> 16 bits	<input checked="" type="checkbox"/> 32 bits
19	La taille du registre RI	<input type="checkbox"/> 8 bits	<input type="checkbox"/> 8 octets	<input checked="" type="checkbox"/> 16 bits	<input type="checkbox"/> 32 bits
20	La taille du registre ACC	<input type="checkbox"/> 8 bits	<input type="checkbox"/> 8 octets	<input checked="" type="checkbox"/> 16 bits	<input type="checkbox"/> 32 bits