



Examen de Rattrapage – Architecture des ordinateurs

(Durée 1h)

Le 17 /07 / 2021

Remarque :

1. La partie QCM est à retourner avec la copie double sans oublier de mentionner le nom, le prénom, la section et le groupe.
2. L'utilisation de la calculatrice est interdite
3. Tous les exercices sont obligatoires



Partie Exercices (16 points)

Exercice 1 : (6 points)

Soit l'instruction d'affectation $X = (a+b)*(c+d)$ telles que a, b, c et d sont des variables préalablement définies et stockées respectivement dans les adresses A, B, C et D.

Le langage d'assemblage dispose des instructions suivantes :

- **add** pour l'addition
- **mul** pour la multiplication
- **mov** pour le transfert de registre à registre ou de registre à mémoire
- **load** pour le chargement
- **store** pour le stockage
- **push** pour l'empilement
- **pop** pour le dépilement

Ecrire les programmes correspondant aux différents cas suivants :

- 1- Instructions à 3 adresses
- 2- Instructions à 2 adresses
- 3- Instructions à 1 adresse
- 4- Instructions à 0 adresse (pile)

Exercice 2 (6 points)

I- Soit une machine où le registre d'adresses (R@M) est sur 16 bits et le registre de données (RDM) est sur 24 bits

- 1- Calculer la capacité maximale de la mémoire
- 2- Donner le nombre de mot réel de cette mémoire si on suppose que sa capacité = 2^{64} bits.
- 3- En déduire le nouveau nombre de lignes d'adresse de cette mémoire

II- Soit une mémoire cache ayant les caractéristiques suivantes :

- 64 mots par lignes (mots de 4 Octets)
- Taille de 256 KO
- Cache L1 et cache L2 inclusifs
- 4 associatifs.
- Remplacement LFU.
- Taille de bus d'adresse : 32bits

- 1- Pourquoi utilise-t-on des mémoires caches? Pour quelle raison la mémoire cache est très couteuse.
- 2- Combien y-a-t-il de blocs associatifs dans cette mémoire cache ?
- 3- Si un bloc n'est pas présent en cache L1, combien de lignes de L1 aura-t-on parcouru ?

Exercice 3 (4 pts)

Sachant que : f, g, h, i et j correspondent aux registres \$16 à \$20, traduire en langage MIPS assembleur l'expression C suivante :

```
if (i==j) f=g+h; else f=g-h;
```

Bon courage

Nom : Prénom : Sec/Groupe :

Partie QCM (4 pts) : Choisir une ou plusieurs réponses pour chaque question :

1	C'est un automate recevant des informations du décodeur et des signaux d'états (entrées) et produisant des signaux de commandes contrôlant les différentes unités.	<input type="checkbox"/> Séquenceur	<input type="checkbox"/> Processeur	<input type="checkbox"/> Accumulateur	<input type="checkbox"/> Bus
2	Dans cette architecture, le temps d'exécution d'une instruction n'est pas réduit mais le débit d'exécution des instructions est considérablement augmenté.	<input type="checkbox"/> CISC	<input type="checkbox"/> RISC	<input type="checkbox"/> PIPELINE	<input type="checkbox"/> HARVARD
3	C'est un mode d'adressage dont le champ opérande de l'instruction contient l'adresse de l'opérande (emplacement en mémoire)	<input type="checkbox"/> immédiat	<input type="checkbox"/> indexé	<input type="checkbox"/> direct	<input type="checkbox"/> relatif
4	Si la donnée ou l'instruction requise est présente dans le cache et elle est alors envoyée directement au microprocesseur. On parle de	<input type="checkbox"/> succès de cache	<input type="checkbox"/> Miss	<input type="checkbox"/> Hit	<input type="checkbox"/> défaut de cache
5	C'est une mémoire qui agit comme un tampon entre le processeur et la mémoire principale.	<input type="checkbox"/> Registre	<input type="checkbox"/> Mémoire cache	<input type="checkbox"/> RAM	<input type="checkbox"/> EPROM
6	Cette unité est chargée de commander et de gérer les différents constituants de l'ordinateur (contrôler les échanges, gérer l'enchaînement des différentes instructions, etc...).	<input type="checkbox"/> Unité Arithmétique et Logique	<input type="checkbox"/> Unité Centrale	<input type="checkbox"/> Unité d'E/S	<input type="checkbox"/> Unité de Contrôle et de Commande
7	le plus petit élément de données qui peut être transféré entre la mémoire cache et la mémoire de niveau supérieur. S'appelle	<input type="checkbox"/> bit	<input type="checkbox"/> ligne	<input type="checkbox"/> octet	<input type="checkbox"/> mot
8	Il s'agit de l'organe qui permet de réaliser différents types d'opérations sur des données de la forme $R=F(A,B)$	<input type="checkbox"/> L'UAL	<input type="checkbox"/> Le slot	<input type="checkbox"/> Le registre	<input type="checkbox"/> L'horloge

Corrigé Examen de Rattrapage – Architecture des ordinateurs

Partie Exercices (16 pts)

Exercice 1 : (6 points)

Instructions à 3 adresses	Instructions à 2 adresses	Instructions à 1 adresse	Instruction à 0 adresse (Pile)
add R1, A, B add R2, C, D mul X, R1, R2	mov R1, A add R1, B mov R2, C add R2, D mul R1, R2 mov X, R1	load A add B store T load C add D mul T store X (T : temporaire)	push A push B add push C push D add mul pop X

Exercice 2 (6 points)

I- Soit une machine où le registre d'adresses (R@M) est sur 16 bits et le registre de données (RDM) est sur 24 bits

1- La capacité maximale de la mémoire

$$\text{Capacité} = 2^{\text{Nombre de lignes d'adresses}} \times \text{Nombre de lignes de données}$$

Ou

$$\text{Capacité} = \text{Nombre de mots} \times \text{Taille du mot tel que Taille du mot} = \text{Taille du bus de données}$$

Ou

$$\text{Capacité} = 2^{\text{taille bus d'adresses}} \times \text{Taille bus de données}$$

Donc :

$$\text{Capacité} = 2^{16} \times 24 = 2^{16} \times 2^5 = \mathbf{2^{21} \text{ bits}}$$

2- Le nombre de mots réel de cette mémoire si on suppose que sa capacité = 2^{64} bits :

$$\text{Nombre de mots} = \text{Capacité} / \text{Taille du mot}$$

$$\text{Nombre de mots} = 2^{64} / 24 = 2^{64} / 2^5 = \mathbf{2^{59} \text{ mots}}$$

3- Le nouveau nombre de lignes d'adresse de cette mémoire :

$$\text{Nombre de mots} = 2^{\text{taille bus d'adresses}} = 2^{\text{Nombre de lignes d'adresses}} = \mathbf{2^{59}}$$

$$\Rightarrow \text{Nombre de lignes d'adresses} = \mathbf{59 \text{ lignes d'adresse}}$$

II- Mémoire cache ayant les caractéristiques suivantes :

- 64 mots par lignes (mots de 4 Octets)
- Taille de 256 KO
- Cache L1 et cache L2 inclusifs
- 4 associatifs.
- Remplacement LFU.
- Taille de bus d'adresse : 32bits

1- Une mémoire cache en informatique est une mémoire qui enregistre temporairement des copies de données provenant de la RAM, afin de diminuer le temps d'accès (en lecture ou en écriture) d'un matériel informatique (en général, un processeur) à ces données. La mémoire cache est plus rapide et plus proche du matériel informatique qui demande la donnée, mais plus petite que la mémoire pour laquelle elle sert d'intermédiaire. Elle est couteuse vue sa rapidité + miniaturisation.

2- Nombre de blocs associatifs dans cette mémoire cache :

$$\text{Nombre de lignes} = \text{Taille cache} / (\text{Taille mot} \times \text{Nombre de mots par ligne})$$

$$\text{Nombre de lignes} = 256 \times 2^{10} / (4 \times 64) = \mathbf{2^{10} \text{ lignes} = 1024 \text{ lignes}}$$

$$= 64 \text{ KOct} / (4 \text{ Oct} \times 64) = 2^{10} / 2^2 = 256$$

$$\text{Nombre de blocs} = \text{Nombre de lignes} / \text{Nombre de lignes par bloc}$$

$$\text{Nombre de blocs} = 1024 / 4 = 2^{10} / 2^2 = \mathbf{2^8 = 256 \text{ blocs}}$$

3- Nombre de lignes de L1 parcourus, si un bloc n'est pas présent en cache L1 :

4 lignes

Exercice 3 (4 pts) :

Sachant que : f,g,h,i et j correspondent aux registres \$16 à \$20, traduire en langage MIPS assembleur l'expression C suivante :

if (i==j) f=g+h; else f=g-h;

Solution :

```

bne $19,$20,Else      #aller en Else si i≠j
  add $16,$17,$18     #f=g+h (sauté si i≠j)
  j Exit              #aller en Exit (jump)
Else:  sub $16,$17,$18 #f=g-h (sauté si i=j)
Exit:
li $v0,10
syscall

```

Partie QCM (4 pts) : Choisir une ou plusieurs réponses pour chaque question :

1	C'est un automate recevant des informations du décodeur et des signaux d'états (entrées) et produisant des signaux de commandes contrôlant les différentes unités.	<input checked="" type="checkbox"/> Séquenceur	<input type="checkbox"/> Processeur	<input type="checkbox"/> Accumulateur	<input type="checkbox"/> Bus
2	Dans cette architecture, le temps d'exécution d'une instruction n'est pas réduit mais le débit d'exécution des instructions est considérablement augmenté.	<input type="checkbox"/> CISC	<input type="checkbox"/> RISC	<input checked="" type="checkbox"/> PIPELINE	<input type="checkbox"/> HARVARD
3	C'est un mode d'adressage dont le champ opérande de l'instruction contient l'adresse de l'opérande (emplacement en mémoire)	<input type="checkbox"/> immédiat	<input type="checkbox"/> indexé	<input checked="" type="checkbox"/> direct	<input type="checkbox"/> relatif
4	Si la donnée ou l'instruction requise est présente dans le cache et elle est alors envoyée directement au microprocesseur. On parle de	<input checked="" type="checkbox"/> succès de cache	<input type="checkbox"/> Miss	<input checked="" type="checkbox"/> Hit	<input type="checkbox"/> défaut de cache
5	C'est une mémoire qui agit comme un tampon entre le processeur et la mémoire principale.	<input type="checkbox"/> Registre	<input checked="" type="checkbox"/> Mémoire cache	<input type="checkbox"/> RAM	<input type="checkbox"/> EPROM
6	Cette unité est chargée de commander et de gérer les différents constituants de l'ordinateur (contrôler les échanges, gérer l'enchaînement des différentes instructions, etc...).	<input type="checkbox"/> Unité Arithmétique et Logique	<input type="checkbox"/> Unité Centrale	<input type="checkbox"/> Unité d'E/S	<input checked="" type="checkbox"/> Unité de Contrôle et de Commande
7	le plus petit élément de données qui peut être transféré entre la mémoire cache et la mémoire de niveau supérieur. S'appelle	<input type="checkbox"/> bit	<input checked="" type="checkbox"/> ligne	<input type="checkbox"/> octet	<input type="checkbox"/> mot
8	Il s'agit de l'organe qui permet de réaliser différents types d'opérations sur des données de la forme $R=F(A,B)$	<input checked="" type="checkbox"/> L'UAL	<input type="checkbox"/> Le slot	<input type="checkbox"/> Le registre	<input type="checkbox"/> L'horloge