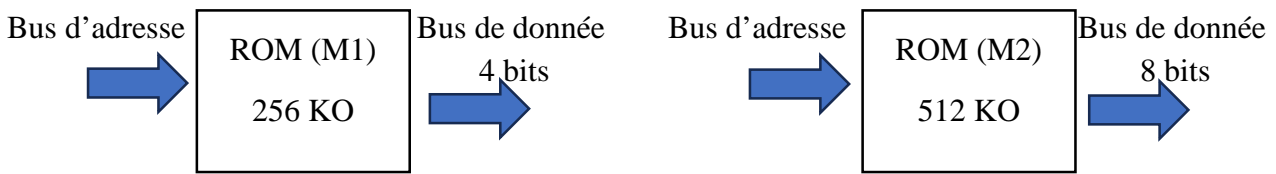


Fiche de TD N° 4 Architecture des Ordinateurs (AO)

Exercice 1

I\ Soit les deux mémoires de type ROM suivantes :



1. Combien peut-on former de mots de 4 bits avec la mémoire M1 ?
2. Combien peut-on former de mots de 8 bits avec la mémoire M2 ?
3. Quelle est la taille du bus d'adresse des deux types de ROM ?

II\

1. Pour construire une mémoire de 4 Ko mots de 8 bits, combien de boîtiers de 1 Ko mots de 8 bits doivent être utilisés
2. Pour construire une mémoire 8 Ko mots de 4 octets, combien de boîtiers de 1 Ko mots de 8 bits doivent être utilisés

III\ Classer les ordinateurs suivants par ordre de performance plus faible à la plus puissant

Ordinateur	CPU	RAM	Disque dur
O1	650 MHz	32 Mo	10 Go
O2	1 GHz	128 Mo	20 Go
O3	350 MHz	64 Mo	20 Go
O4	2 GHz	128 Mo	80 Go
O5	1 GHz	64 Mo	40 Go
O6	1 GHz	64 Mo	20 Go

Exercice 2

I/ Classez les mémoires suivantes par taille, par rapidité : RAM, registres, disques durs, cache L1, cache L2, CD-ROM.

II/ Soit une mémoire cache de niveau L1 ayant les caractéristiques suivantes :

- 32 mots par lignes (mots de 2 octets)
 - Taille de 32ko - L1 et L2 sont inclusifs
 - 4-associatifs. Remplacement LRU.
 - Association par poids faible
 - Taille de bus d'adresse : 32bits
1. Combien y a-t-il de lignes dans cette mémoire cache ?
 2. Combien y-a-t-il de blocs associatifs dans cette mémoire cache ?
 3. Si la mémoire cache de niveau L2 a une taille de 2 Mo, combien y a-t-il de blocs de la mémoire cache L2 par bloc de la mémoire cache L1 ?
 4. Si un bloc n'est pas présent en cache L1, combien de lignes de L1 aura-t-on parcouru ?

Exercice 3

I/ Classez les mémoires suivantes par taille, par rapidité : CD-ROM, Registre d'Instruction, Cache L3. Disques durs, ROM, Cache L1, USB, Cache L2.

II/ Soit une mémoire cache de niveau L1 ayant les caractéristiques suivantes :

- 64 mots par ligne (mots de 4 octets)
 - Taille de 512 Ko
 - L1 et L2 sont inclusifs
 - 4-associatifs
 - Remplacement LFU
 - Association par poids faible
 - Taille de bus d'adresse : 64 bits
1. Combien y-a-t-il de lignes dans cette mémoire cache ?
 2. Combien y-a-t-il de blocs associatifs dans cette mémoire cache ?
 3. Si la mémoire cache de niveau L2 a une taille de 8 Mo, combien y-a-t-il de blocs de la mémoire cache L2 par bloc de la mémoire cache L1 ?
 4. Si un bloc n'est pas présent en cache L1, combien de lignes de L1 aura-t-on parcouru ?

III/ A partir des performances du tableau ci-dessous calculer le temps d'exécution moyen d'une instruction pour chaque niveau sachant que durée d'un cycle horloge est **T**.

Niveau	Temps d'accès succès (ns)	Taux de succès (ns)	Pénalité d'échec (Cycles)	Taille
Cache L1	3	80%	5	256 Ko
Cache L2	5	90%	10	512 Ko

Exercice 4

I/ Soit un ordinateur à architecture bus système composé d'un processeur travaillant à une fréquence de 800 MHz et d'une mémoire centrale de 256 Méga mot mémoire de deux octets. Son registre d'instruction se compose de 16 bits.

1. Calculer la capacité maximale de la mémoire (en Octets).
2. Trouver la taille (en Bits) de : RAM (Registre d'Adresse Mémoire), RDM (Registre de Données Mémoire), CO (Compteur Ordinal) et ACC (Accumulateur).
3. Calculer le taux de transfert (théorique) d'un bus de donnée d'un processeur.

II/ Soit une mémoire cache à deux niveaux ayant les caractéristiques suivantes :

Niveaux	Temps d'accès succès (ns)	Taux d'échec	Pénalité d'échec (Cycles)	Taille	Nombre de mots par ligne	Taille d'un mot
Cache L1	2	20%	5	128 Ko	32 mots	4 Octets
Cache L2	4	10%	10	2 Mo	32 mots	4 Octets

1. Calculer la taille d'une ligne ? Combien y-a-t-il de lignes dans cette mémoire cache (L1 et L2) ?

2. Combien y-a-t-il de blocs de la mémoire cache L2 par bloc de la mémoire cache L1 ?
3. Calculer le temps d'exécution moyen d'une instruction pour chaque niveau sachant que durée d'un cycle horloge est T.

Exercice 5

Un processeur à 2 Go de mémoire principale. Pour les différents caches ci-dessous :

1. Cache de 2 Mo à correspondance directe et écriture simultanée avec des blocs de 16 octets
 2. Cache de 4 Mo à correspondance directe, réécriture et blocs de 32 octets
 3. Cache de 4 Mo associatif 4 voies (4 blocs par ensemble), réécriture et blocs de 32 octets
- a. Quelle est la décomposition d'une adresse mémoire (nombre de bits des Différentes parties) ?
- b. Donner les différentes parties d'une ligne (bloc) de cache (nombre de bits des différentes parties). Quel est le surcoût lié aux bits de contrôle et d'étiquette (par rapport à la partie « données » du cache)

Fiche de TD N° 4 Architecture des Ordinateurs (AO) (Solution)

Exercice 1

I\

1. Il s'agit ici de déterminer la profondeur de la mémoire M1.

Nombre de mots = $(256 \text{ K} * 8 / 4) = 2^{19}$ mots de 4 bits.

On peut former 2^{19} mots de 4 bits avec la mémoire M1.

2. Il s'agit ici de déterminer la profondeur de la mémoire M2.

Nombre de mots = $(512 \text{ K} * 8 / 8) = 2^{19}$ mots de 8 bits.

On peut former 2^{19} mots de 8 bits avec la mémoire M2.

3. La taille du bus d'adresse d'une mémoire se détermine à partir de Nombre de lignes d'adresses.

Nombre de mots = $2^{\text{NL}} = 2^{19}$ mots

La taille du bus d'adresse des deux types de ROM est de 19 bits.

II\

1. Nombre de boitiers = taille de la mémoire / taille du boitier = $4 \text{ Ko} * 8 / 1 \text{ Ko} * 8 = 4$ boitiers

2. Nombre de boitiers = taille de la mémoire / taille du boitier = $8 \text{ Ko} * 4 * 8 / 1 \text{ Ko} * 8 = 32$ boitiers

III\ Le classement des ordinateurs (de la plus faible à la plus importante) :

O3-O1-O6-O5-O2-O4

Exercice 2

I/ Classer les mémoires suivantes par taille et par rapidité : RAM, registres, disques durs, cache L1, cache L2, CD-ROM.

Par taille : **Registres < cache L1 < cache L2 < RAM < CD ROM < Disque dur**

Par vitesse : **Registres > cache L1 > cache L2 > RAM > Disque dur > CD ROM**

II/ Soit une mémoire cache de niveau L1 ayant les caractéristiques suivantes :

- 32 mots par lignes (mots de 2 octets) - Taille de 32ko - L1 et L2 sont inclusifs - 4-associatifs -

Remplacement LRU - Association par poids faible - Taille de bus d'adresse : 32bits

1- Combien y-a-t-il de lignes dans cette mémoire cache ?

Nombre de lignes = Taille cache / (Taille mot * nombre de mots par ligne)

$$= 32 \text{ KOct} / (2 \text{ Oct} * 32) = 2^{10} / 2 = 2^9 = \boxed{512 \text{ lignes}}$$

2- Combien y-a-t-il de blocs associatifs dans cette mémoire cache ?

Nombre de blocs = Nombre de lignes / Nombre de lignes par bloc

$$= 512 / 4 = 2^9 / 2^2 = 2^7 = \boxed{128 \text{ blocs}}$$

3- Si la mémoire cache de niveau L2 a une taille de 2 Mo, combien y-a-t-il de blocs de la mémoire cache L2 par bloc de la mémoire cache L1 ?

$$\text{Taille cache L2} / \text{Taille cache L1} = 2 \text{ MOct} / 32 \text{ KOct} = 2^{21} / 2^{15} = 2^6 = \boxed{64}$$

4- Si un bloc n'est pas présent en cache L1, combien de lignes de L1 aura-t-on parcouru ?

4 lignes

Exercice 3

I/ Classez les mémoires suivantes par taille, par rapidité :

Par taille : **RI < L1 < L2 < L3 < ROM < CD < USB < DD.**

Par vitesse : **RI > L1 > L2 > L3 > ROM > DD > USB > CD.**

Car le type de mémoire de :

- RI est un registre, c'est le plus rapide et de petite taille.

- L1 est une mémoire cache de niveau 1, elle est très rapide mais de petite capacité de stockage.
- L2 est une mémoire cache de niveau 2, elle a une plus grande capacité que L1 et est plus lente.
- ROM est une mémoire centrale à semi-conducteurs, son temps d'accès et sa taille sont beaucoup plus importants que ceux des registres et du cache.
- USB est un mémoire de masse de type mémoire Flash, le temps d'écriture est similaire à celui d'un disque dur mais avec un espace réduit, généralement une capacité de stockage qui varie de 1 à 32 Go.
- Disque dur est un mémoire de masse. Disque dur interne traditionnel HDD de type mémoire magnétique entre 500 Go et 4 To pour une utilisation normale et disque dur interne SSD de type mémoire flash entre 256 Go et 1 To. Pour les disques durs externes sur le site inmac wstore, 500 Go à 8 To
- CD est une mémoire optique de type mémoire de masse, il existe des CD de 700 Mo, 800 Mo ou 900 Mo

II/ Soit une mémoire cache de niveau L1 ayant les caractéristiques suivantes :

- 64 mots par ligne (mots de 4 octets)- Taille de 512 Ko- L1 et L2 sont inclusifs - 4-associatifs - Remplacement LFU- Association par poids faible- Taille de bus d'adresse : 64 bits

1- Combien y-a-t-il de lignes dans cette mémoire cache ?

Nombre de lignes = Taille cache / (Taille mot * nombre de mots par ligne)
 $= 512 \text{ KOct} / (4 \text{ Oct} * 64) = 2^9 * 2^{10} / 2^2 * 2^6 = 2^{11} = 2048 \text{ lignes}$

2- Combien y-a-t-il de blocs associatifs dans cette mémoire cache ?

Nombre de blocs = Nombre de lignes / Nombre de lignes par bloc
 $= 2^{11} / 4 = 2^{11} / 2^2 = 2^9 = 512 \text{ blocs}$

3- Si la mémoire cache de niveau L2 a une taille de 8 Mo, combien y-a-t-il de blocs de la mémoire cache L2 par bloc de la mémoire cache L1 ?

Taille cache L2 / Taille cache L1 = 8 MOct / 512 KOct = 2²³ / 2¹⁹ = 2⁴ = 32

4- Si un bloc n'est pas présent en cache L1, combien de lignes de L1 aura-t-on parcouru ?

4 lignes

III/ A partir des performances du tableau ci-dessous calculer le temps d'exécution moyen d'une instruction pour chaque niveau sachant que durée d'un cycle horloge est T.

Niveau	Temps d'accès succès (ns)	Taux de succès (ns)	Pénalité d'échec (Cycles)	Taille
Cache L1	3	80%	5	256 Ko
Cache L2	5	90%	10	512 Ko

temps d'accès mémoire moyen = temps d'accès succès + taux d'échec x pénalité d'échec

taux d'échec = 1 - taux de succès

temps d'accès mémoire moyen Cache L1 = 3 + (1-80%)x5 = 4T

temps d'accès mémoire moyen Cache L2 = 5 + (1-90%)x10 = 6T

Exercice 4

I/ Soit un ordinateur à architecture bus système composé d'un processeur travaillant à une fréquence de 800 MHz et d'une mémoire centrale de 256 Méga mot mémoire de deux octets. Son registre d'instruction se compose de 16 bits.

1- Calculer la capacité maximale de la mémoire (en Octets).

Capacité=Nombre de mots*taille du mot=256M*2oct=512 MOct=2⁹*2²⁰ Octs=2²⁹ Octs

2- Trouver la taille (en Bits) de : RAM (Registre d'Adresse Mémoire), RDM (Registre de Données Mémoire), CO (Compteur Ordinal) et ACC (Accumulateur).

RAM= Nbre de ligne d'adresse

→ Nombre de mots=2^{nombre de lignes d'adresse} = 256 Méga = 2⁸*2²⁰ = 2²⁸ donc R@M = 28 bits

RDM =taille mot = 2 octets = 16 bits

CO=Nbre de ligne d'adresse= 28 bits

ACC= Nbre de ligne de données = 16 bits

3- Calculer le taux de transfert (théorique) d'un bus de donnée d'un processeur.

Taux de transfert (Mo/s) = Fréquence (en MHz) × Largeur du bus (en octets)

Largeur du bus = Taille d'un bus de données = taille d'un mot= 2 octets

Taux de transfert (Mo/s) = 800 * 2 = 1600 Mo/s

Ou Largeur du bus = 2 octets = 16 bits

Taux de transfert (Mbits/s) = 800 *16 = 12800 Mbits/s

II/ Soit une mémoire cache à deux niveaux ayant les caractéristiques suivantes :

Niveaux	Temps d'accès succès (ns)	Taux d'échec	Pénalité d'échec (Cycles)	Taille	Nombre de mots par ligne	Taille d'un mot
Cache L1	2	20%	5	128 Ko	32 mots	4 Octets
Cache L2	4	10%	10	2 Mo	32 mots	4 Octets

1- Calculer la taille d'une ligne ? Combien y-a-t-il de lignes dans cette mémoire cache (L1 et L2) ?

**Taille d'une ligne (L1 et L2) = Taille mot* Nombre de mots par ligne
 = 32 * 4 = 2⁵ * 2² = 2⁷ Octets ou 2¹⁰ bits**

Nombre de lignes = Taille cache / Taille d'une ligne

Nombre de lignes (L1) = 128 KOct / 2⁷ Oct = 2⁷*2¹⁰ / 2⁷ = 2¹⁰ Lignes

Nombre de lignes (L2) = 2 MOct / 2⁷ Oct = 2 * 2²⁰ / 2⁷ = 2¹⁴ Lignes

2- Combien y-a-t-il de blocs de la mémoire cache L2 par bloc de la mémoire cache L1 ?

Taille cache L2 / Taille cache L1 = 2 MOct/128 KOct = 2²¹/2¹⁷ = 2⁴ = 16

3- Calculer le temps d'exécution moyen d'une instruction pour chaque niveau sachant que durée d'un cycle horloge est T.

Temps d'accès mémoire moyen = Temps d'accès succès + Taux d'échec x Pénalité d'échec

Temps d'accès mémoire moyen Cache L1 = 2 + (20%) x5 = 2 + (0.2) x5 = 3T

Temps d'accès mémoire moyen Cache L2 = 4 + (10%) x10 = 4 + (0.1) x10 = 5T

Exercice 5

Un processeur à 2 Go de mémoire principale. Pour les différents caches ci-dessous :

1. Cache de 2 Mo à correspondance directe et écriture simultanée avec des blocs de 16 octets
2. Cache de 4 Mo à correspondance directe, réécriture et blocs de 32 octets
3. Cache de 4 Mo associatif 4 voies (4 blocs par ensemble), réécriture et blocs de 32 octets

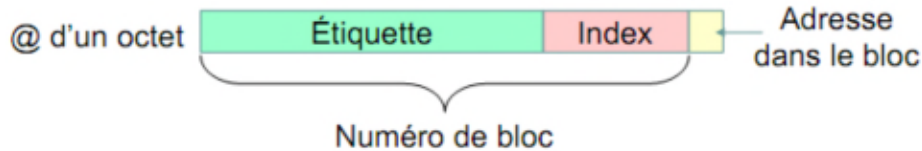
a. Quelle est la décomposition d'une adresse mémoire (nombre de bits des Différentes parties) ?

Rappels :

- L'index indique dans quelle ligne va la donnée
- L'adresse dans le bloc (ou offset) indique où est la donnée dans la ligne
- L'étiquette sert à comparer si la donnée que l'on cherche est bien celle qui est stockée actuellement dans le cache ou non

+ Rappels du cours :

Format d'adresse mémoire cache (pour des mots de 1 octet) directe et associatif par ensemble (mixte entre direct et totalement associatif) est la même



Car dans placement direct → Le champ « numéro de bloc » est scindé en deux parties : l'étiquette et l'index.

Et dans cache associatif par ensemble → Le choix d'un ensemble est associatif (c.a.d. Le numéro de bloc est utilisé comme étiquette) et chaque ensemble est géré comme dans le cache à correspondance direct.

Solution :

La taille d'adressage d'un mot :

La taille d'un mot = 1 oct = 8 bits

Nbre de mots = capacité/taille d'un mot = $2^{30}/4\text{oct} = 2^{31}$.

Nombre de mots = $2^{\text{taille d'adressage d'un mot}} = 2^{31}$ → donc la taille d'adresse d'un mot = **31 bits**

1. Cache de 2 Mo = $2 \times 2^{20} = 2^{21}$ octs et une ligne = 16 octs = 2^4 octs,

- L'index étant la partie qui permet de savoir à quelle ligne est la donnée dans le cache
Nbre de lignes = taille cache / taille ligne = $2^{21} / 2^4 = 2^{17}$ lignes → il faut **17 bits d'index**
- L'adresse dans bloc pour savoir à quel endroit est la donnée dans la ligne
Nbre de mot dans une ligne = taille ligne / taille d'un mot = $2^4 \text{ octs} / 1 \text{ oct} = 2^4$ mots par ligne
→ il faut **4 bits d'adresse dans bloc**
- Enfin, l'**étiquette** = $31 - 17 - 4 = 10$ bits

2. Même explication que la précédente

Cache de 4 Mo = $4 \times 2^{20} = 2^{22}$ octs, puisqu'une ligne = 32 octs = 2^5 octs,

- Nbre de lignes = $2^{22} / 2^5 = 2^{17}$ lignes → **17 bits d'index**
- Nbre de mot dans une ligne = $2^5 \text{ octs} / 1 \text{ oct} = 2^5$ mots par ligne → il faut **5 bits d'adresse dans bloc**
- **Étiquette** = $31 - 17 - 5 = 9$ bits

3. Même explication que précédemment, sauf pour l'index.

- Comme le cache est associatif par 4 voies → donc un $4 = 2^2$ lignes ont la même adresse
Et nbre de lignes = $2^{22} / 2^5 = 2^{17}$ lignes, les 2^{17} lignes sont par groupes de 2^2 , soit $2^{17} / 2^2 = 2^{15}$ groupes → donc **15 bits d'index**
- Nbre de mot dans une ligne = 2^5 mots par ligne → il faut **5 bits d'adresse dans bloc**
- **Étiquette** = $31 - 15 - 5 = 11$ bits

b. Donner les différentes parties d'une ligne (bloc) de cache (nombre de bits des différentes parties). Quel est le surcoût lié aux bits de contrôle et d'étiquette (par rapport à la partie « données » du cache)

Rappels :

- L'étiquette est la même que celle de la question précédente.
- Il y a 1 ou 2 bits de contrôles : 1 bits de validité (la donnée est-elle utilisée actuellement ?) et 1 bit de modification en cas de réécriture (la donnée a-t-elle été modifiée sans avoir été modifiée aussi en mémoire principale ?)
- Les lignes de données sont celle de la question précédente

1. Etiquette = 10 bits

Contrôle = 1 bit (écriture = 1 bit de validité)

Données = taille bloc = taille ligne = $16 * 8 = 2^7 = 128$ bits

Surcoût = $(\text{bits contrôle} + \text{bits d'étiquette}) / (\text{bits contrôle} + \text{bits d'étiquette} + \text{bits données})$
 $= (1+10) / (1+10+128) = 11/139 = 7,91\%$

2. Etiquette = 9 bits

Contrôle = 2 bit (réécriture = 1 bit validité + 1 bit modifié)

Données = $32 * 8 = 2^8 = 256$ bits

Surcoût = $(2+9) / (2+9+256) = 11/267 = 4,12\%$

3. Etiquette = 11 bits

Contrôle = 2 bit (réécriture = 1 bit validité + 1 bit modifié)

Données = $32 * 8 = 2^8 = 256$ bits

Surcoût = $(2+11) / (2+11+256) = 13/269 = 4,83\%$